

## Base resistance controlled thyristor structure with high-density layout for increased current capacity

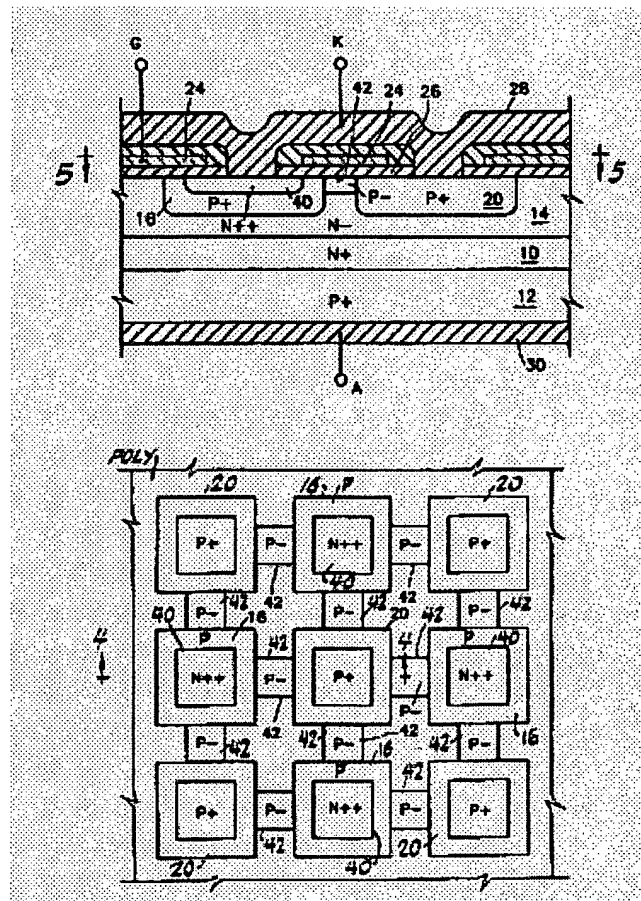
<b>Patent number:</b>	FR2739224
<b>Publication date:</b>	1997-03-28
<b>Inventor:</b>	AJIT JANARDHANAN S
<b>Applicant:</b>	INT RECTIFIER CORP (US)
<b>Classification:</b>	
- international:	H01L27/082; H01L29/744
- european:	H01L29/10C3, H01L29/745B, H01L29/749
<b>Application number:</b>	FR19960011722 19960926
<b>Priority number(s):</b>	US19950533768 19950926

**Also published as:**

US5793066 (A1)  
GB2305777 (A)  
DE19638381 (A1)

Abstract not available for FR2739224  
Abstract of correspondent: US5793066

An insulated gate base resistance controlled thyristor with a high controllable current capability is described. The device has a high density of MOS-channels modulating the resistance of the base region of the NPN transistor of the thyristor structure. The higher MOS channel density is achieved by contacting directly only the N++ emitter and the P+ cells (and not the P base region of the NPN transistor) to the cathode electrode. The N++ cells (i.e. the P base regions each containing an N++ emitter) and the P+ cells are connected in certain regions under the MOS gate by a P- region to provide a higher base resistance when a positive bias is applied to the MOS gate, thereby facilitating latching of the thyristor. The added MOS gate controlled base resistance between cells allows the P base cells to be designed with smaller dimensions for high maximum controllable current without affecting latch-up capability. The device is preferably provided in a checkerboard style cellular layout.



Data supplied from the **esp@cenet** database - Worldwide

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 739 224

②1 N° d'enregistrement national : 96 11722

⑤1 Int Cl<sup>8</sup> : H 01 L 27/082, 29/744

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 26.09.96.

③0 Priorité : 26.09.95 US 533768.

⑦1 Demandeur(s) : INTERNATIONAL RECTIFIER  
CORPORATION — US.

⑦2 Inventeur(s) : AJIT JANARDHANAN S.

④3 Date de la mise à disposition du public de la  
demande : 28.03.97 Bulletin 97/13.

⑤6 Liste des documents cités dans le rapport de  
recherche préliminaire : *Ce dernier n'a pas été  
établi à la date de publication de la demande.*

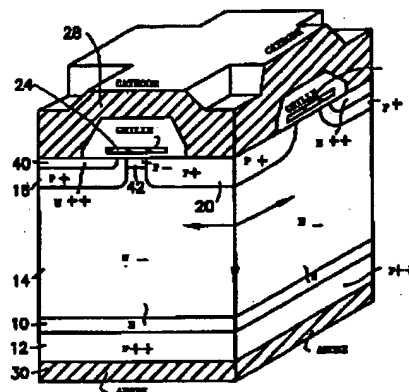
⑥0 Références à d'autres documents nationaux  
apparentés :

⑦3 Titulaire(s) :

⑦4 Mandataire : CABINET BEAU DE LOMENIE.

⑤4 STRUCTURE DE THYRISTOR COMMANDE PAR RESISTANCE DE BASE PRESENTANT UNE IMPLANTATION  
HAUTE DENSITE POUR UNE CAPACITE DE COURANT AUGMENTEE.

⑤7 Un thyristor commandé par résistance de base à grille isolée présentant une capacité de courant commandable élevée est décrit. Le dispositif comporte des canaux MOS selon une densité élevée qui modulent la résistance de la région de base du transistor NPN de la structure de thyristor. La densité de canaux MOS plus élevée est obtenue en mettant en contact directement seulement les cellules d'émetteur N<sup>++</sup> et P<sup>+</sup> (et non pas la région de base P du transistor NPN) avec l'électrode de cathode. Les cellules N<sup>++</sup> (c'est-à-dire les régions de base P dont chacune contient un émetteur N<sup>++</sup> (40)) et les cellules P<sup>+</sup> sont connectées dans certaines régions sous la grille MOS (24) par une région P<sup>+</sup> afin d'obtenir une résistance de base plus élevée lorsqu'une polarisation positive est appliquée à la grille MOS, ce qui facilite le verrouillage du thyristor.



FR 2 739 224 - A1



**ARRIERE-PLAN DE L'INVENTION****1. Domaine de l'invention**

La présente invention concerne des thyristors à grille isolée et plus spécifiquement, un thyristor à grille isolée commandé par résistance de base présentant une implantation haute densité pour une capacité de courant augmentée.

**2. Description de l'art antérieur**

Les thyristors à grille isolée sont d'un intérêt important pour des applications de commutation d'alimentation haute tension. En général, le principe de fonctionnement des thyristors à grille isolée est constitué par le fait d'autoriser le courant d'état passant à circuler via une région de thyristor, qui peut être coupée par un signal appliqué sur la grille d'une structure métal-oxyde-semiconducteur (MOS) qui est intégrée dans la structure de thyristor. Ce concept a pour avantages une chute de tension en sens direct faible et une facilité de commande. Des exemples de structures de dispositif qui permettent d'obtenir cette fonction sont le thyristor commandé par MOS ("MCT"), comme décrit dans V.A.K. Temple, "MOS-Controlled Thyristors (MCTs)", IEEE Electron Device Meeting (IEDM) Technical Digest, pages 282-285, San Francisco, décembre 1984 ainsi que le thyristor commandé par résistance de base ("BRT"), comme décrit dans M. Nandakumar et suivants, "The Base Resistance Controlled Thyristor (BRT) : A New MOS Gated Power Thyristor", Proceedings of the ISPSD, pages 138-141, 1991 ainsi que dans le brevet des Etats-Unis d'Amérique n° 5 381 023.

A la fois dans le MCT et le BRT, un MOSFET à canal P est utilisé pour dériver le courant de thyristor sur une région P+ reliée à la masse afin de couper le thyristor. Les MCT comportent des structures à triple diffusion, le MOSFET à canal P de coupure étant intégré dans la région d'émetteur N, ce qui rend ces dispositifs difficiles à fabriquer. Les BRT comportent

des structures à double diffusion, le MOSFET à canal P de coupure étant intégré dans la région de base N<sup>-</sup>.

Le courant commandable maximum dans les dispositifs de MCT et de BRT est essentiellement déterminé par la résistance du canal de MOSFET de coupure. Afin d'obtenir une densité de courant commandable maximum élevée, il est souhaitable d'augmenter la densité de courant de canal P de coupure. Ceci peut être obtenu en réduisant la fraction d'aire d'émetteur N<sup>+</sup> par rapport à l'aire de cellule totale. Dans le BRT de l'art antérieur, la densité de courant de verrouillage ( $J_{\text{verrouillage}}$ ) dépend de la longueur de l'émetteur N<sup>+</sup> ( $L_{N^{++}}$ ) et elle est donnée par :

$$J_{\text{verrouillage}} = \frac{2 \times V_{be}}{\alpha_{pnp} P_{sh.p \text{ base}} L_{N^{++}}^2}$$

Pour la structure de thyristor à verrouiller, la densité de courant de verrouillage doit être inférieure au pilotage de base pour le transistor NPN qui peut être alimenté par la structure. La charge dans la base P et par conséquent la résistance par carré de la base P ( $P_{sh.p \text{ base}}$ ) sont déterminées par des considérations de tension de claquage, et la résistance par carré ne peut pas être augmentée au-delà d'une certaine valeur. Il s'ensuit que pour avoir une densité de courant de verrouillage faible, la longueur de l'émetteur doit être augmentée. Ceci augmente la fraction de l'aire d'émetteur N<sup>+</sup> et réduit le rapport de l'aire de canal MOS sur l'aire de cellule totale, ce qui réduit le courant commandable maximum. Par conséquent, un courant de verrouillage faible dans la structure BRT est obtenu seulement en sacrifiant le courant commandable maximum possible. Ceci impose une limite sur le courant commandable maximum qui peut être obtenu avec la structure de BRT.

Par conséquent, il serait souhaitable de proposer un dispositif qui : 1) présente une densité de courant commandable maximum élevée ; 2) présente un courant de verrouillage faible ; et 3) soit aisé à fabriquer à l'aide d'un bon contrôle de processus.

**RESUME DE L'INVENTION**

La présente invention se propose d'atteindre l'objet mentionné ci-avant en proposant un thyristor à grille isolée, plus spécifiquement une modification du BRT, selon une  
 5 implantation qui facilite une densité élevée de canaux MOS, pour aboutir à une capacité de courant commandable élevée.

Plus spécifiquement, la présente invention est formée par une puce en silicium comportant une pluralité de cellules N<sup>++</sup> espacées et de cellules P<sup>+</sup> espacées interposées à la façon d'un  
 10 échiquier sur l'aire de surface de la puce de telle sorte que chacune des cellules N<sup>++</sup> soit entourée par certaines des cellules P<sup>+</sup>. Une diffusion P<sup>-</sup> respective s'étend entre des cellules N<sup>++</sup> et des cellules P<sup>+</sup> adjacentes et les connecte.

Les cellules N<sup>++</sup> incluent chacune une région d'émetteur  
 15 N<sup>++</sup> espacée d'un bord d'une région de base cellulaire de type P afin de former un canal respectif. Une grille en polysilicium est disposée au-dessus des canaux des cellules N<sup>++</sup> et au sommet de l'espace entre les cellules N<sup>++</sup> et les cellules P<sup>+</sup> adjacentes.

Un contact de cathode est connecté aux régions P<sup>+</sup> et aux  
 20 régions d'émetteur N<sup>++</sup> (mais pas aux régions de base P). Un contact d'anode est connecté à la couche P<sup>++</sup> de fond. La région de base P est connectée au contact de cathode seulement par l'intermédiaire de la diffusion P<sup>-</sup> de résistance élevée. Ceci rend possible d'obtenir une densité de courant de verrouillage faible  
 25 sans augmenter la longueur de l'émetteur N<sup>++</sup>. Le courant de verrouillage dans cette structure est donné par :

$$J_{\text{verrouillage}} \approx \frac{V_{be}}{\alpha_{pnp} L_{N^+} Z_{N^+} P_{sh.p} \frac{L_{p-}}{Z_{p-}}}$$

Par conséquent, il est possible d'obtenir un courant de verrouillage faible et un courant commandable maximum élevé  
 30 en même temps pour cette structure.

Selon une variante, selon un mode de réalisation à conduction latérale de l'invention, le contact de cathode est connecté à un premier groupe de certaines régions adjacentes

prises parmi les régions P<sup>+</sup> et les régions d'émetteur N<sup>++</sup>, et le contact d'anode est connecté à un second groupe de régions adjacentes prises parmi les régions P<sup>+</sup> et les régions d'émetteur N<sup>++</sup>, le contact d'anode étant disposé au-dessus de la puce

5 suivant une relation latérale par rapport au contact de cathode, les premier et second groupes de régions P<sup>+</sup> et de régions d'émetteur N<sup>++</sup> adjacentes comportant chacun des grilles respectives séparées, la grille du premier groupe de régions P<sup>+</sup> et de régions d'émetteur N<sup>++</sup> adjacentes étant activée selon une

10 relation d'antiphase par rapport à la grille du second groupe de régions P<sup>+</sup> et de régions d'émetteur N<sup>++</sup> adjacentes.

De préférence, afin d'empêcher une conduction localisée pendant la coupure, une pluralité de cellules P<sup>+</sup> adjacentes sont disposées au niveau de la périphérie externe de la puce.

15 La présente invention, au moyen de la structure mentionnée ci-avant, permet d'obtenir une densité de canaux MOS plus élevée puisque, à la différence du BRT de l'art antérieur, la région de base P du dispositif de la présente invention est connectée à l'électrode de cathode seulement par l'intermédiaire

20 d'une région P<sup>-</sup> dont la résistance est modulée par la tension de grille MOS. La région P<sup>-</sup> qui connecte les cellules N<sup>++</sup> et les cellules P<sup>+</sup> présente une résistance de base plus élevée lorsqu'une tension positive est appliquée à la grille, ce qui facilite le verrouillage du thyristor. La région P<sup>-</sup> constitue une

25 voie de courant de coupure faible résistance lorsqu'une polarisation négative est appliquée à la grille. La résistance de base commandée par grille MOS ajoutée entre les cellules permet aux cellules N<sup>++</sup> d'être conçues selon des dimensions plus petites sans affecter la capacité de verrouillage.

30 **BREVE DESCRIPTION DES DESSINS**

D'autres caractéristiques et avantages de la présente invention apparaîtront à la lumière de la description qui suit que l'on lira en conjonction avec les dessins annexés parmi lesquels :

la figure 1 est une vue en coupe de la figure 2 prise selon des lignes de coupe 1-1 de la figure 2 et elle représente un dispositif de BRT de l'art antérieur ;

5 la figure 2 est une vue de dessus en coupe de la figure 1 et elle représente l'implantation cellulaire d'un BRT de l'art antérieur ;

la figure 3 représente un schéma de circuit équivalent du dispositif de BRT de l'art antérieur des figures 1 et 2 ;

10 la figure 4A représente une vue en trois dimensions de la structure de BRT modifiée réalisée selon l'invention ;

la figure 4B est une vue en coupe de la figure 5 prise selon des lignes de coupe 4-4 de la figure 5 et elle représente un dispositif de BRT modifié selon l'invention, une région P- constituant un pont entre une cellule N++ et une cellule P+ ;

15 la figure 4C représente un schéma de circuit équivalent de la présente invention ;

la figure 5 est une vue de dessus en coupe de la figure 4 qui représente l'implantation cellulaire d'un dispositif de BRT modifié réalisée selon l'invention, des régions P- constituant un pont entre les cellules N++ et les cellules P+ ;

20 la figure 6 représente l'implantation de la présente invention au niveau du bord de la puce ;

la figure 7 représente des lignes de circulation de courant d'état passant dans une cellule unitaire de la présente invention obtenue à partir de simulations de dispositif ;

25 les figures 8A et 8B représentent respectivement les profils de concentration d'électrons et de trous d'état passant du dispositif de la présente invention ;

30 la figure 9 est une vue en coupe du dispositif de la présente invention réalisé selon une implantation latérale ;

la figure 10 représente la structure de BRT selon un mode de réalisation de l'invention selon lequel la grille ne chevauche pas tous les bords d'un émetteur N++ ;

35 la figure 11 représente une implantation préférée pour la structure de la figure 10 ;

la figure 12 représente la structure de dispositif d'un autre mode de réalisation de l'invention ;

la figure 13 représente une implantation préférée pour la structure de la figure 12 ;

5 la figure 14 représente la structure de dispositif d'encore un autre mode de réalisation de l'invention ;

la figure 15 représente une implantation préférée pour la structure de la figure 14 ; et

la figure 16 représente un mode de réalisation à grille en tranchée de la nouvelle structure du dispositif.

#### DESCRIPTION DETAILLEE DU MODE DE REALISATION PREFERE

Par report tout d'abord à la figure 1, la structure de dispositif de BRT de l'art antérieur est représentée. Le BRT est constitué par une unique région de thyristor 2, un transistor à effet de champ métal-oxyde-semiconducteur (MOSFET) à canal P 4 étant adjacent à celle-ci. Plus spécifiquement, comme représenté sur la figure 1, le BRT est formé sur une plaquette en silicium qui inclut une couche N 10, une couche P++ sous-jacente 12 et une couche épitaxiale N- sur-jacente 14. Une région de base P 16 munie d'une région N++ annulaire 18 et une région P+ 20 sans une région N++ sont diffusées à l'intérieur de la couche épitaxiale N- 14.

Le BRT est un dispositif P-N-P-N à quatre couches similaire au transistor bipolaire à grille isolée (IGBT). Tout comme l'IGBT, le BRT est typiquement fabriqué au moyen d'un processus MOS à double diffusion (DMOS) et est proposé selon une configuration cellulaire, comme représenté sur la figure 2. A la différence de l'IGBT, cependant, seulement une moitié des régions P sur la surface supérieure du BRT contient une région N++. Le BRT diffère également de l'IGBT en ce sens que la région de base P 16 contenant la région N++ 18 est moins lourdement dopée de telle sorte que la résistance de la région de base est supérieure dans le BRT d'environ un ordre de grandeur (d'où découle le terme "thyristor commandé par résistance de base"). Comme expliqué ci-après, ceci augmente le gain du transistor



NPN du thyristor et favorise le verrouillage (normalement évité dans les IGBT).

En poursuivant notre référence à la figure 1, la région N<sup>++</sup> 18 est espacée radialement vers l'intérieur du bord latéral de la base P 16 afin de former une région à canal N 22. Une couche en polysilicium 24 est déposée sur la région de canal 22 et sur la partie 23 de la couche épitaxiale N<sup>-</sup> 14 s'étendant vers le haut jusqu'à la surface supérieure de la plaquette en silicium entre la région de base P 16 et la région de base P 20. La couche en polysilicium 24 est séparée de la surface supérieure de la plaquette en silicium par une couche mince 26 d'oxyde de grille. Une couche métallique supérieure 28 relie chaque entité constituée par la région N<sup>++</sup> 18, la région de base P 16 et la région P<sup>+</sup> 20 à un noeud de cathode commun K. La couche de grille en polysilicium 24 s'étend au-dessus de la surface du dispositif, une ouverture étant formée au niveau de chaque cellule (pour une diffusion de source et dans la masse et pour le contact) de manière à former une électrode de grille commune connectée à un noeud de grille G<sub>1</sub>. Une couche métallique non interrompue 30 est disposée au-dessus de la surface inférieure du dispositif afin de former une électrode d'anode inférieure A.

Par report à nouveau à la vue de dessus de la figure 2, on peut voir que les cellules de la région P 16 (cellules avec une région N<sup>++</sup> 18) et que celles de la région P<sup>+</sup> 20 (cellules sans une région N<sup>++</sup> 18) sont chacune proposées selon une topologie en carré et sont agencées à la façon d'un échiquier, en alternance. Bien qu'une structure en carré soit représentée sur la figure 1, des BRT présentant une autre structure polygonale, par exemple un octogone, voir brevet des Etats-Unis d'Amérique n° 5 381 025, sont bien connus.

Par report maintenant à la figure 3, le circuit équivalent du dispositif de BRT est représenté. Chaque cellule du BRT munie d'une région N<sup>++</sup> 18 inclut un MOSFET à canal N 32, un transistor PNP 34, un transistor NPN 36 et une résistance R<sub>b</sub> (la résistance de la région de base). Chaque cellule sans région N<sup>++</sup> 18 inclut un

transistor PNP vertical 38. Le MOSFET à canal P 4 relie en pont les deux cellules différentes.

Le transistor PNP 34 a son émetteur défini par la couche P++ 12, sa base définie par la couche N 10 et par une couche épitaxiale N- 14 et son collecteur défini par la base P 16. Le transistor PNP 38 a son émetteur défini par la couche P++ 12, sa base définie par la couche N 10 et par la couche épitaxiale N- 14 et son collecteur défini par la région P+ 20. Le MOSFET à canal P 4 a sa source définie par la base P 16, son drain défini par la région P+ 20 et sa région de canal définie par la région 23 de la couche épitaxiale N- 14 qui est située au-dessous de la grille en polysilicium 24.

Lors du fonctionnement du BRT de l'art antérieur des figures 1 à 3, lorsqu'une tension positive est appliquée à la grille 24, un MOSFET à canal N 32 est rendu passant, ce qui permet au courant de thyristor de circuler vers le haut au travers du dispositif, comme représenté sur la figure 1. Le dispositif présente des caractéristiques similaires à celles d'un IGBT à des niveaux de courant faibles. Dans ces conditions, un courant de trous circule latéralement au travers de la région de base P 16 jusqu'au court-circuit d'émetteur (cathode) en produisant une chute de tension qui polarise en sens direct la jonction émetteur-base. A des niveaux de courant plus élevés, cette chute de tension suffit pour générer une injection d'électrons depuis l'émetteur N++ 18, ce qui aboutit à un verrouillage du thyristor.

La longueur de l'émetteur, laquelle détermine la résistance de base  $R_b$ , commande les courants de déclenchement et de maintien du dispositif. Une fois que le thyristor est verrouillé à l'état passant, la polarisation de grille peut être levée, et le courant d'état passant continue à circuler dans la section de thyristor avec une chute en sens direct faible.

Le passage à l'état bloqué du BRT est réalisé en appliquant une polarisation négative à la grille 24, ce qui rend passant le MOSFET à canal P 4 au niveau de la surface de la région en

gradient N<sup>-</sup>. Des trous sont dérivés à partir de la région de base P 16 du thyristor dans la région P<sup>+</sup> adjacente 20 connectée à la cathode. Par conséquent, le MOSFET à canal P 4 établit une voie faible résistance entre la base P 16 et la cathode pour la circulation d'un courant de trous. Ceci est équivalent à réduire la résistance de base R<sub>b</sub>, ce qui aboutit à une augmentation du courant de maintien du thyristor au-dessus du niveau de courant de fonctionnement. La polarisation en sens direct sur la jonction émetteur-base est réduite, ce qui rompt l'action régénérative et ce qui fait passer à l'état bloqué le thyristor. Une fois que l'état bloqué est initié, le courant d'anode s'amortit en un temps fini déterminé par l'enlèvement hors de la région en gradient de la charge stockée sous forme de porteurs minoritaires.

Comme mentionné préalablement, le courant commandable maximum dans le BRT est essentiellement déterminé par la résistance d'état bloqué du canal MOSFET. La présente invention se propose de minimiser la résistance d'état passant du MOSFET à canal P bloqué 4 en augmentant la densité de canaux. Ceci est réalisé en connectant la région de base P dans certaines régions sous la grille en polysilicium 24 et une région P<sup>-</sup> à la cathode P<sup>+</sup>.

Plus spécifiquement, par report à la figure 4, une section en coupe de la conception de BRT modifiée de la présente invention est représentée, des éléments identiques (par rapport à la structure de BRT de l'art antérieur de la figure 1) étant indiqués à l'aide d'index de référence identiques. Comme représenté sur la figure 5, à la différence du BRT de l'art antérieur, le BRT modifié de la présente invention présente une implantation à multiples cellules selon un motif en échiquier de cellules N<sup>++</sup> et P<sup>++</sup> en carrés

De manière significative, à la différence du BRT de l'art antérieur des figures 1 à 3, la région de base P 16 n'est cependant pas en contact avec l'électrode de cathode 28 ; c'est-à-dire que la présente invention comprend une région N<sup>++</sup> solide 40 (un carré solide dans le mode de réalisation des figures 4 et

5) au lieu d'une région annulaire entourant une partie de la base P en contact avec l'électrode de cathode. Selon la présente invention, la base P<sup>+</sup> est connectée à l'électrode de cathode seulement par l'intermédiaire d'une région P<sup>-</sup> 42 dont la  
5 résistance est commandée par grille MOS, comme représenté sur les figures 4 et 5. Ceci permet des dimensions de cellule plus petites et la réalisation d'une densité de canaux MOS plus élevée.

Une polarisation positive sur la grille appauvrit la région P<sup>-</sup> 42 pour obtenir une résistance de base élevée afin de  
10 verrouiller le thyristor. Pour la coupure, la tension de grille est réduite de la valeur positive à une valeur négative pour provoquer une accumulation de trous dans la région P<sup>-</sup> 42. Une couche d'inversion de trous est également formée dans les régions en diagonale N<sup>-</sup> entre les cellules. Ceci réduit la  
15 résistance de base qui forme une voie de faible résistance dérivant les trous pour amener le thyristor en dehors de l'état verrouillé. Une résistance de canal faible pour le MOSFET à canal P de coupure dans cette conception aboutit à une densité de courant commandable élevée.

20 Dans les régions de frontière de la puce, une densité de courant plus élevée est observée pendant la coupure du fait de l'étalement latéral du plasma de porteurs pendant l'état passant de la structure de thyristor, de façon similaire au cas des MCT comme rapporté par H. Lendenmann et suivants, "Approaching  
25 homogeneous switching of MCT devices : Experiment and Simulation", Proceedings of the ISPSD, pages 66-70, 1993. Par conséquent, comme représenté sur la figure 6, les cellules de bord du dispositif de la présente invention sont de préférence toutes des cellules P<sup>+</sup> afin d'éviter une conduction localisée  
30 pendant une coupure pour obtenir un courant commandable élevé pour une taille de puce importante.

Les lignes de circulation de courant d'état passant obtenues à partir de simulations du dispositif de la présente invention sont représentées sur la figure 7. On peut voir que la  
35 plus grande part du courant circule au travers de la région de

thyristor tandis qu'une faible part du courant circule au travers de la région PNP. Les profils de concentration en électrons et en trous d'état passant dans le dispositif sont représentés respectivement sur les figures 8A et 8B. On peut voir au vu de ces figures que la totalité de la région en gradient N<sup>-</sup> est modulée en conductivité au-dessous d'une profondeur de 2 µm par rapport à la surface du dispositif et que pratiquement la totalité de la région en gradient N<sup>-</sup> est utilisée de manière avantageuse pour la conduction du courant.

- 5 Le dispositif de la présente invention est fabriqué en utilisant un processus DMOS à double diffusion. Le premier masque est utilisé pour définir la zone active du dispositif. Une implantation d'enrichissement N de phosphore selon une dose de  $1,5 \times 10^{12} \text{ cm}^{-2}$  à 50 keV est alors réalisée optionnellement.
- 10 Un masque de photoréserve est alors utilisé pour définir des régions d'implantation P<sup>-</sup>, cette étape étant suivie par l'implantation d'une dose de bore de  $5 \times 10^{12} \text{ cm}^{-2}$  à 30 keV. Cette étape est suivie par la croissance d'oxyde de grille (500 Å). Cette étape est suivie par le dépôt et la conformation
- 15 de polysilicium en utilisant un troisième masque. Les régions de base P<sup>+</sup> et les régions P<sup>+</sup> sont formées de manière à être auto-alignées par rapport au polysilicium au moyen d'une implantation de bore de  $2 \times 10^{14} \text{ cm}^{-2}$  à 50 keV. Le masque suivant est utilisé pour définir les régions d'émetteur N<sup>++</sup>. Cette
- 20 étape est suivie par un dépôt d'oxyde basse température et par l'ouverture des fenêtres de contact en utilisant un cinquième masque. Un métal (aluminium) est ensuite déposé et conformé en utilisant un sixième masque. Un matériau de passivation est ensuite déposé et conformé en utilisant un septième masque. La
- 25 dernière étape du processus est constituée par une partie de meulage du substrat en face arrière et de dépôt d'un métal de face arrière.

- Bien que la présente invention soit représentée selon une configuration cellulaire carrée pour simplifier et faciliter l'illustration, il apparaîtra à l'homme de l'art que, tout comme
- 35

pour le BRT et d'autres dispositifs à semiconducteur de puissance, la présente invention peut être proposée selon d'autres configurations polygonales. Bien entendu, comme mentionné ci-avant, des simulations de dispositif démontrent

5 que pratiquement la totalité de la région en gradient  $N^-$  est utilisée pour la conduction du courant même si l'émetteur  $N^{++}$  représente seulement 50% de l'aire active totale. Ceci indique que l'aire  $N^{++}$  peut être réduite encore en taille sans une augmentation de la chute de tension d'état passant afin

10 d'augmenter le rapport densité de canaux/aire de cellule  $P^+$  afin d'obtenir une augmentation du courant commandable maximum. Une implantation de cellules hexagonales, de façon analogue à ce qui est décrit dans le brevet des Etats-Unis d'Amérique n° 5 008 725 (dont la description est ici incorporée à titre de

15 référence), dans laquelle chaque cellule  $N^{++}$  est entourée par six cellules  $P^+$  (le rapport des cellules  $P^+$  sur les cellules  $N^{++}$  étant de 3 : 1) augmenterait la densité de canaux de coupure par rapport à la conception cellulaire en carré.

Dans le dispositif des figures 4 et 5, une conception

20 représentative présente un pas de cellule d'environ 8 micromètres et une largeur de ligne en polysilicium d'environ 3 micromètres. La région de base  $P^+$  et la région  $P^+$  présentent de préférence une profondeur comprise entre 1,0 et 1,5 micromètres et les régions  $N^{++}$  présentent une profondeur

25 d'environ 0,3 micromètre.

Par report à la figure 9, une contrepartie latérale du dispositif des figures 4 et 5 est représentée, dans laquelle une couche  $N^-$  114 reçoit une pluralité de régions de base  $P$  espacées 111 à 114 distribuées sur la surface de la puce. Des régions  $P^+$

30 115 et 116 sont respectivement disposées entre les régions de base  $P^+$  111-112 et 113-114 et leur sont "connectées" respectivement par les régions  $P^-$  117-118 et 119-120. Les régions de base  $P^+$  111 à 114 reçoivent des régions de source  $N^{++}$  respectives 121 à 124.

Des segments de grille en polysilicium sont déposés au-dessus de couches d'oxyde de grille comme représenté et toutes les grilles pour les canaux formés dans les régions de base P 111 et 112 sont connectées ensemble au niveau d'une borne  $G_1$ . De façon similaire, les grilles en polysilicium pour les canaux formés dans les régions de base P 113 et 114 sont connectées ensemble au niveau d'une grille  $G_2$ .

Un premier contact en aluminium 130 est déposé au-dessus des canaux des régions de base P 111 et 112 et il entre en contact avec les régions  $N^{++}$  121 et 122 et avec la région  $P^+$  115. Le contact 130 est isolé des électrodes de grille en polysilicium par un oxyde intercouche approprié. De façon similaire, un second contact en aluminium 131 est déposé au-dessus des canaux formés dans les régions de base P 113 et 114 et il entre en contact avec les régions  $N^{++}$  123 et 124 et avec la région  $P^+$  116.

Le fonctionnement du dispositif de la figure 9 est similaire à celui des figures 4 et 5. Par conséquent, des bornes  $T_1$  et  $T_2$  correspondent respectivement à des bornes K et A sur la figure 4. Sur la figure 9 cependant, des trous se déplacent latéralement, par exemple depuis la région de base P 112 jusqu'aux régions de base P 113 et 116 en fonctionnement. Par ailleurs, les grilles  $G_1$  et  $G_2$  sont selon une relation en antiphasse afin d'obtenir une action de thyristor bidirectionnelle. Par conséquent, afin de rendre passant le dispositif de la figure 9, la grille  $G_1$  est rendue négative et la grille  $G_2$  est rendue positive. Afin de rendre bloqué ou coupé le dispositif, la grille  $G_1$  est rendue positive et la grille  $G_2$  est rendue négative.

Dans le BRT de l'art antérieur et dans les modes de réalisation de la présente invention décrits ci-avant, il y a un transistor PNP latéral inhérent à la structure constitué par la base  $P^+$  en tant qu'émetteur, par la région  $N^-$  en tant que base et par la cathode  $P^+$  en tant que collecteur. Le pilotage de base pour ce transistor PNP latéral est assuré par des électrons provenant

de l'émetteur  $N^{++}$ . Ce transistor PNP latéral génère deux effets non souhaitables :

1) il dérive une partie du pilotage de base pour le transistor NPN, ce qui augmente la chute de tension d'état passant dans le dispositif ; et

2) il génère une injection lourde de porteurs à l'intérieur de la région  $N^-$  entre des diffusions de cellule. La présence d'une concentration élevée de porteurs dans la région  $N^-$  au niveau de la surface rend difficile d'appauvrir cette charge et de former un canal P d'inversion en utilisant la grille MOS. Ceci réduit la capacité de courant de coupure du dispositif. L'effet de transistor PNP latéral peut être réduit en reliant en pont l'émetteur  $N^{++}$  vers l'intérieur depuis la grille en polysilicium dans certaines régions, comme représenté sur la figure 10. L'implantation d'une telle structure est représentée sur la figure 11.

Une structure modifiée dans laquelle la base P est polarisée selon un potentiel plus élevé dans l'état passant par l'intermédiaire d'une bande métallique et d'un DMOS à canal N est représentée sur la figure 12. Dans cette structure, le transistor NPN est rendu passant avant le transistor PNP. Le passage à l'état passant est réalisé en utilisant une impulsion de tension de grille positive. L'application d'une tension positive à la grille 124 rend passant le DMOS à canal N reliant la base P 116 au potentiel d'anode par l'intermédiaire d'une bande métallique (plot de contact 142) et d'un DMOS à canal N. Lorsque la tension d'anode est augmentée, le potentiel de la base P 116 augmente et lorsque le potentiel de la base P devient égal à 0,7 V, le transistor NPN devient passant, en injectant des électrons dans la région en gradient  $N^-$  114. Ces électrons alimentent le pilotage de base pour le transistor PNP, en activant le transistor PNP et par conséquent en verrouillant le thyristor. Il est à noter que dans cette structure de dispositif, la jonction base P/région en gradient  $N^-$  à proximité de la grille MOS est polarisée en sens



inverse et par conséquent, aucun porteur n'est injecté suivant cette direction.

Le dispositif de la figure 12 peut être rendu bloqué en appliquant une impulsion de grille négative afin de former un MOSFET à canal P connectant la base P<sup>+</sup> 116 à la cathode P<sup>+</sup> 120. L'absence de porteurs en excès sous la grille MOS 124 rend plus aisée une formation d'un canal P d'inversion dans cette structure. Une implantation possible de cette structure est représentée sur la figure 13. Une modification de cette structure et de son implantation est respectivement représentée sur les figures 14 et 15.

Bien que la présente invention ait été décrite en relation avec ses modes de réalisation particuliers, de nombreuses autres variantes (telles que l'utilisation d'une grille en tranchée comme représenté sur la figure 12) et de nombreuses autres modifications ainsi que de nombreuses autres utilisations apparaîtront à l'homme de l'art. Il est préférable par conséquent que la présente invention ne soit pas limitée par la description spécifique présentée ici.

## REVENDICATIONS

1. Thyristor à grille isolée caractérisé en ce qu'il comprend une puce en silicium comportant :
- une couche de fond de concentration  $P^+$  (12 ; 112 ; 212) ;
  - une couche de concentration  $N$  (10 ; 110 ; 210) disposée
  - 5 au-dessus de ladite couche de fond ;
  - une couche  $N^-$  (14 ; 114 ; 214) disposée au-dessus de ladite couche  $N$  ;
  - une pluralité de cellules  $N^{++}$  espacées distribuées symétriquement sur l'aire de surface de ladite couche  $N^-$  (14 ;
  - 10 114 ; 214), lesdites cellules  $N^{++}$  comprenant chacune une région d'émetteur  $N^{++}$  (18 ; 40) contenue à l'intérieur d'un bord d'une région de base cellulaire de type  $P$  et espacée de celui-ci afin de former un canal respectif ;
  - une pluralité de cellules  $P^+$  espacées distribuées
  - 15 symétriquement sur l'aire de surface de ladite couche  $N^-$  ; et
  - une pluralité de diffusions  $P^-$  s'étendant entre des cellules  $N^{++}$  et des cellules  $P^+$  adjacentes.
2. Thyristor à grille isolée caractérisé en ce qu'il comprend une puce en silicium comportant :
- 20 une couche de fond de concentration  $P^+$  (12 ; 112 ; 212) ;
  - une couche de concentration  $N$  (10 ; 110 ; 210) disposée au-dessus de ladite couche de fond ;
  - une couche  $N^-$  (14 ; 114 ; 214) disposée au-dessus de ladite couche  $N$  ;
  - 25 une pluralité de cellules  $N^{++}$  espacées distribuées symétriquement sur l'aire de surface de ladite couche  $N^-$  (14 ; 114 ; 214), lesdites cellules  $N^{++}$  comprenant chacune une région d'émetteur  $N^{++}$  (18 ; 40) contenue à l'intérieur d'un bord d'une région de base cellulaire de type  $P$  et espacée de celui-ci afin de
  - 30 former un canal respectif dans des zones sélectionnées du dispositif ;

une pluralité de cellules  $P^+$  espacées distribuées symétriquement sur l'aire de surface de ladite couche  $N^-$  ; et  
une pluralité de diffusions  $P^-$  s'étendant entre des cellules  $N^{++}$  et des cellules  $P^+$  adjacentes.

5 3. Thyristor à grille isolée caractérisé en ce qu'il comprend une puce en silicium comportant :

une couche de fond de concentration  $P^+$  (12 ; 112 ; 212) ;

une couche de concentration  $N$  (10 ; 110 ; 210) disposée au-dessus de ladite couche de fond ;

10 une couche  $N^-$  (14 ; 114 ; 214) disposée au-dessus de ladite couche  $N$  ;

une pluralité de cellules de thyristor espacées distribuées symétriquement sur l'aire de surface de ladite couche  $N^-$  (14 ; 114 ; 214), lesdites cellules de thyristor  
15 comprenant chacune une région d'émetteur  $N^{++}$  (18 ; 40) contenue à l'intérieur d'un bord d'une région de base cellulaire de type  $P$  et espacée de celui-ci, lesdites cellules de thyristor comprenant en outre une région de source  $N^{++}$  court-circuitée à la base de type  $P$  par un plot de contact au niveau d'une  
20 extrémité et espacée d'un bord de la base de type  $P$  afin de former un canal respectif ; et

une pluralité de cellules  $P^+$  espacées distribuées symétriquement sur l'aire de surface de ladite couche  $N^-$ .

25 4. Thyristor à grille isolée caractérisé en ce qu'il comprend une puce en silicium comportant :

une couche de fond de concentration  $P^+$  (12 ; 112 ; 212) ;

une couche de concentration  $N$  (10 ; 110 ; 210) disposée au-dessus de ladite couche de fond ;

30 une couche  $N^-$  (14 ; 114 ; 214) disposée au-dessus de ladite couche  $N$  ;

une pluralité de cellules de thyristor espacées distribuées symétriquement sur l'aire de surface de ladite couche  $N^-$  (14 ; 114 ; 214), lesdites cellules de thyristor comprenant chacune une région d'émetteur  $N^{++}$  (18 ; 40)

contenue à l'intérieur d'un bord d'une région de base cellulaire de type P et espacée de celui-ci ; et

une pluralité de cellules  $P^+$  espacées distribuées symétriquement sur l'aire de surface de ladite couche  
5  $N^-$ , lesdites cellules  $P^+$  comprenant une région de source  $N^{++}$  espacée d'un bord de la base de type P pour former un canal respectif ;

dans lequel ladite région de source  $N^{++}$  est connectée à ladite région de base de type P à l'aide  
10 d'une bande métallique qui est à un potentiel flottant.

5. Dispositif selon l'une quelconque des revendications 1 à 4, caractérisé en ce que lesdites cellules  $N^{++}$  sont interposées à la façon d'un échiquier entre lesdites cellules  $P^+$  et ainsi, chacune desdites  
15 cellules  $N^{++}$  est entourée par certaines desdites cellules  $P^+$  et est connectée à celles-ci par certaines desdites diffusions  $P^-$ .

6. Dispositif selon la revendication 5, caractérisé en ce qu'il comprend en outre un moyen de grille (24 ; 124 ; 224) disposé au-dessus des canaux desdites cellules  $N^{++}$  et au-dessus de l'espace entre lesdites cellules  $N^{++}$  et lesdites cellules  $P^+$  adjacentes.

7. Dispositif selon la revendication 6, caractérisé en ce qu'il comprend en outre un contact de cathode connecté auxdites cellules  $P^+$  et auxdites régions d'émetteur  $N^{++}$ .  
25

8. Dispositif selon la revendication 7, caractérisé en ce qu'il comprend en outre un contact d'anode connecté à ladite couche  $P^{++}$  de fond.  
30

9. Dispositif selon la revendication 7, caractérisé en ce que ledit contact de cathode est connecté à un premier groupe de certaines régions adjacentes desdites cellules  $P^+$  et desdites régions  
35 d'émetteur  $N^{++}$  et en ce qu'il comprend en outre un

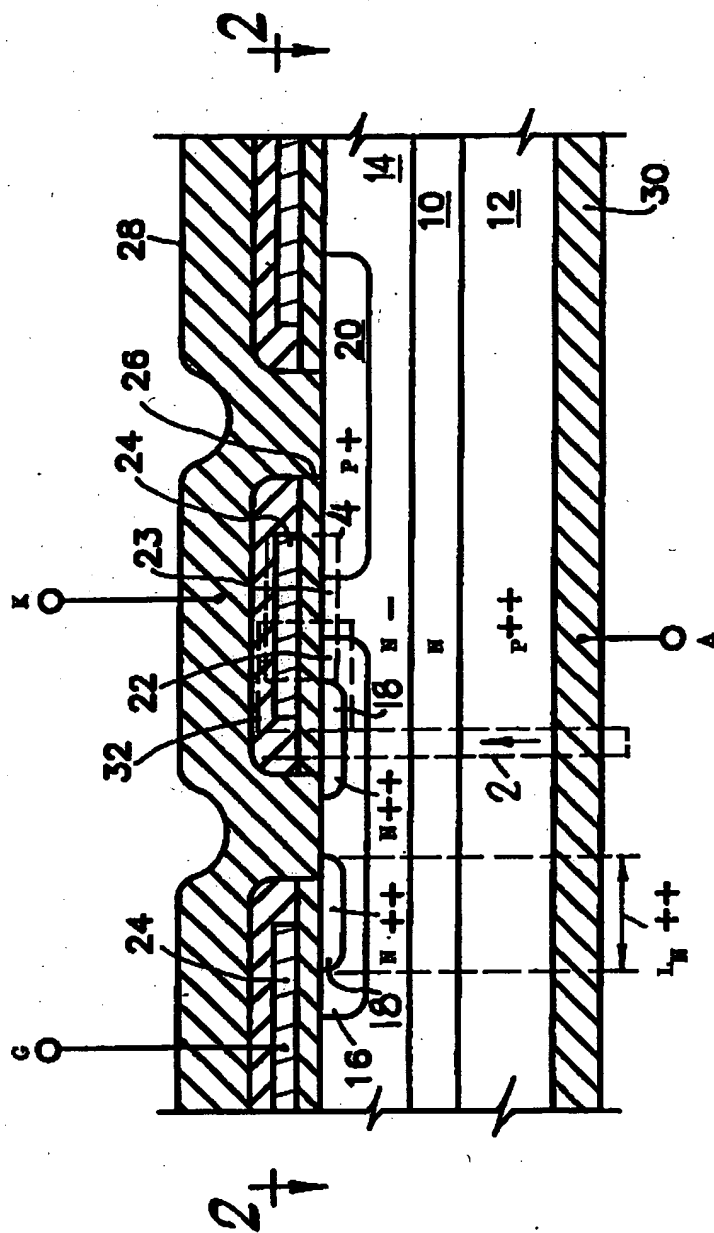
contact d'anode connecté à un second groupe de certaines régions adjacentes desdites cellules  $P^+$  et desdites régions d'émetteur  $N^{++}$ , ledit contact d'anode étant disposé au-dessus de ladite puce selon une

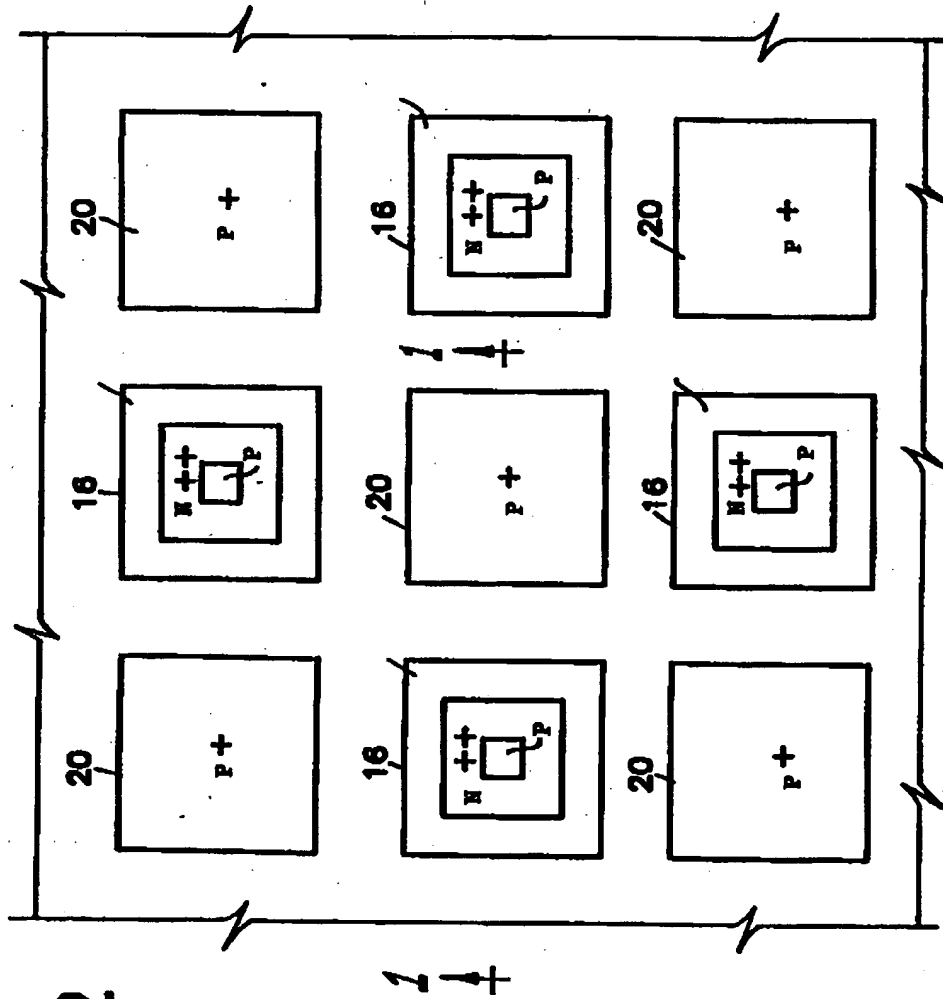
5 relation latérale par rapport audit contact de cathode, lesdits premier et second groupes de cellules  $P^+$  et de régions d'émetteur  $N^{++}$  adjacentes comportant chacun certains moyens de grille respectifs séparés, ledit

10 moyen de grille dudit premier groupe de cellules  $P^+$  et de régions d'émetteur  $N^{++}$  adjacentes étant activé selon une relation en antiphase par rapport audit moyen de grille dudit second groupe de cellules  $P^+$  et de régions d'émetteur  $N^{++}$  adjacentes.

10. Dispositif selon la revendication 5,

15 caractérisé en ce qu'il comprend en outre une pluralité de cellules  $P^+$  adjacentes disposées au niveau d'une périphérie externe de ladite puce.





**FIG. 2**  
ART ANTÉRIEUR

3/18

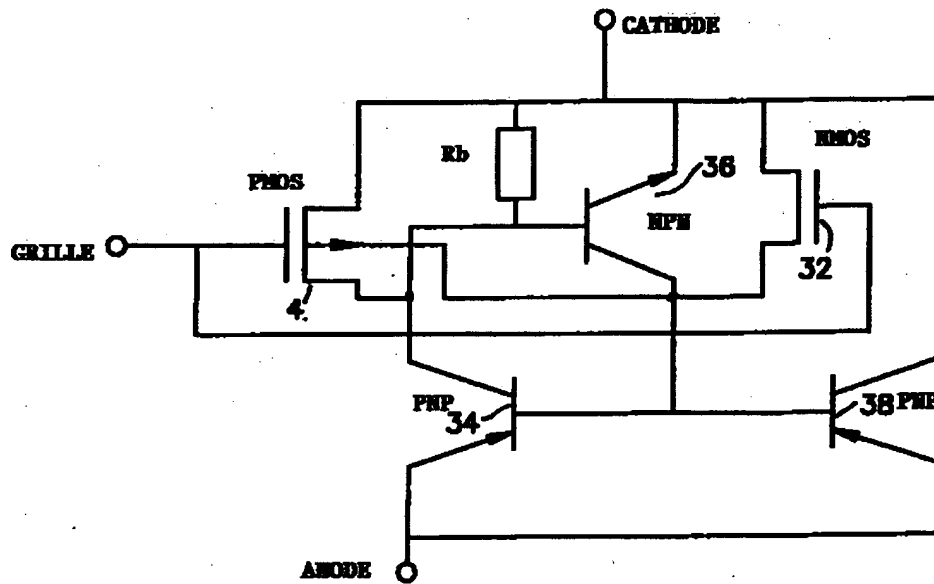


FIG. 3

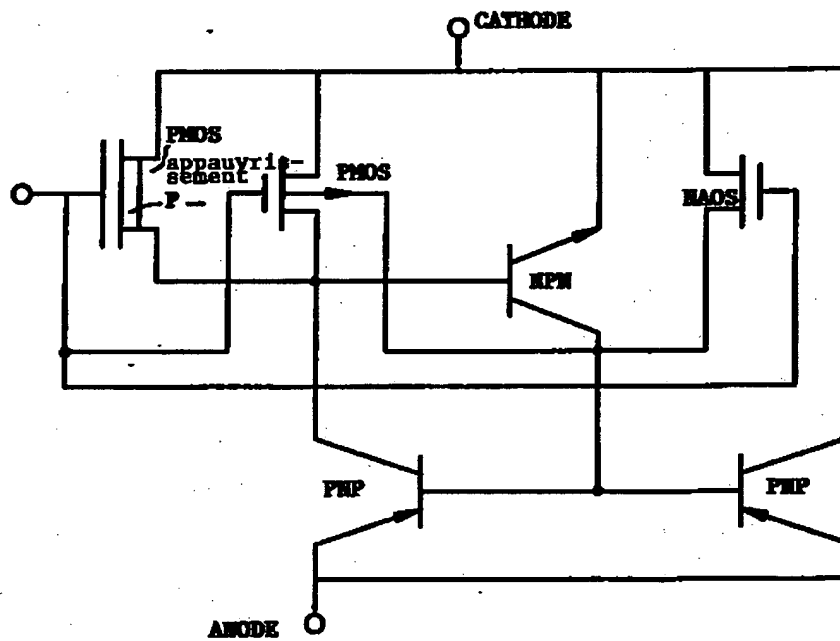


FIG. 4C



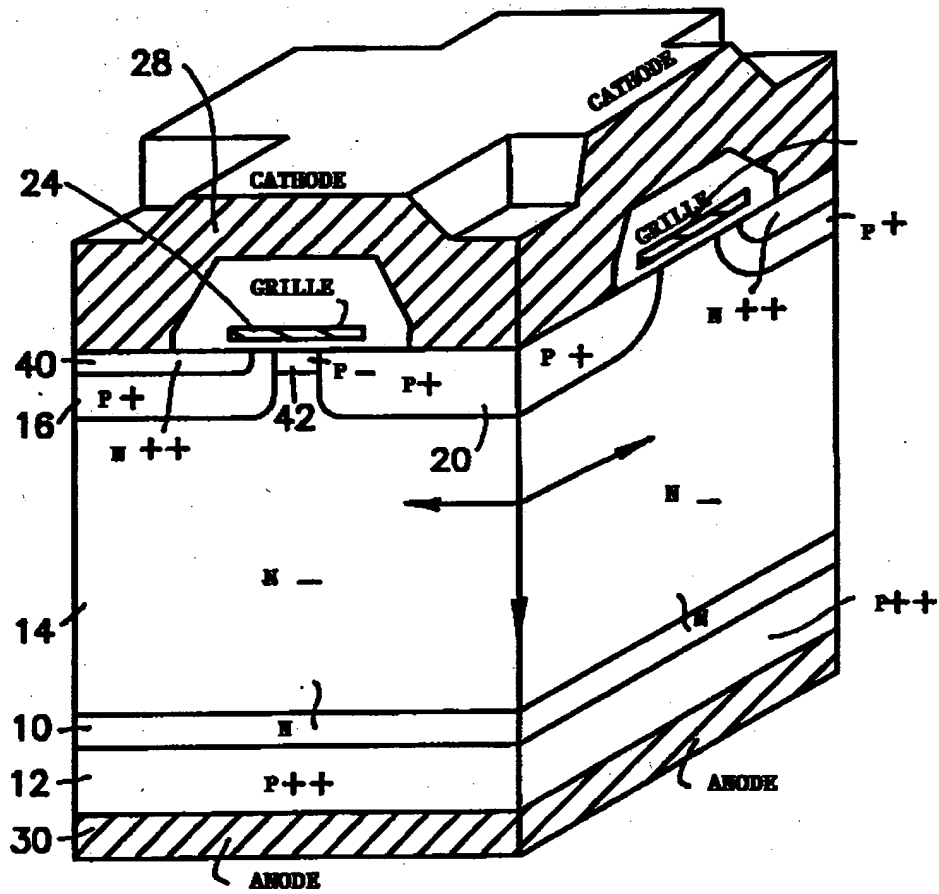
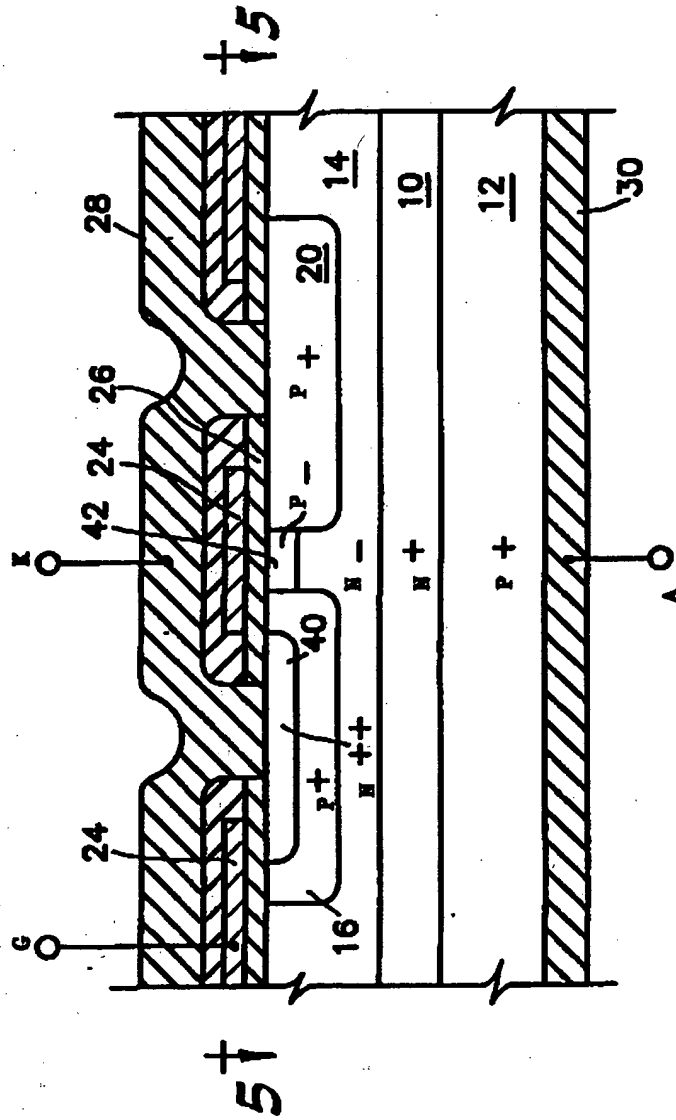
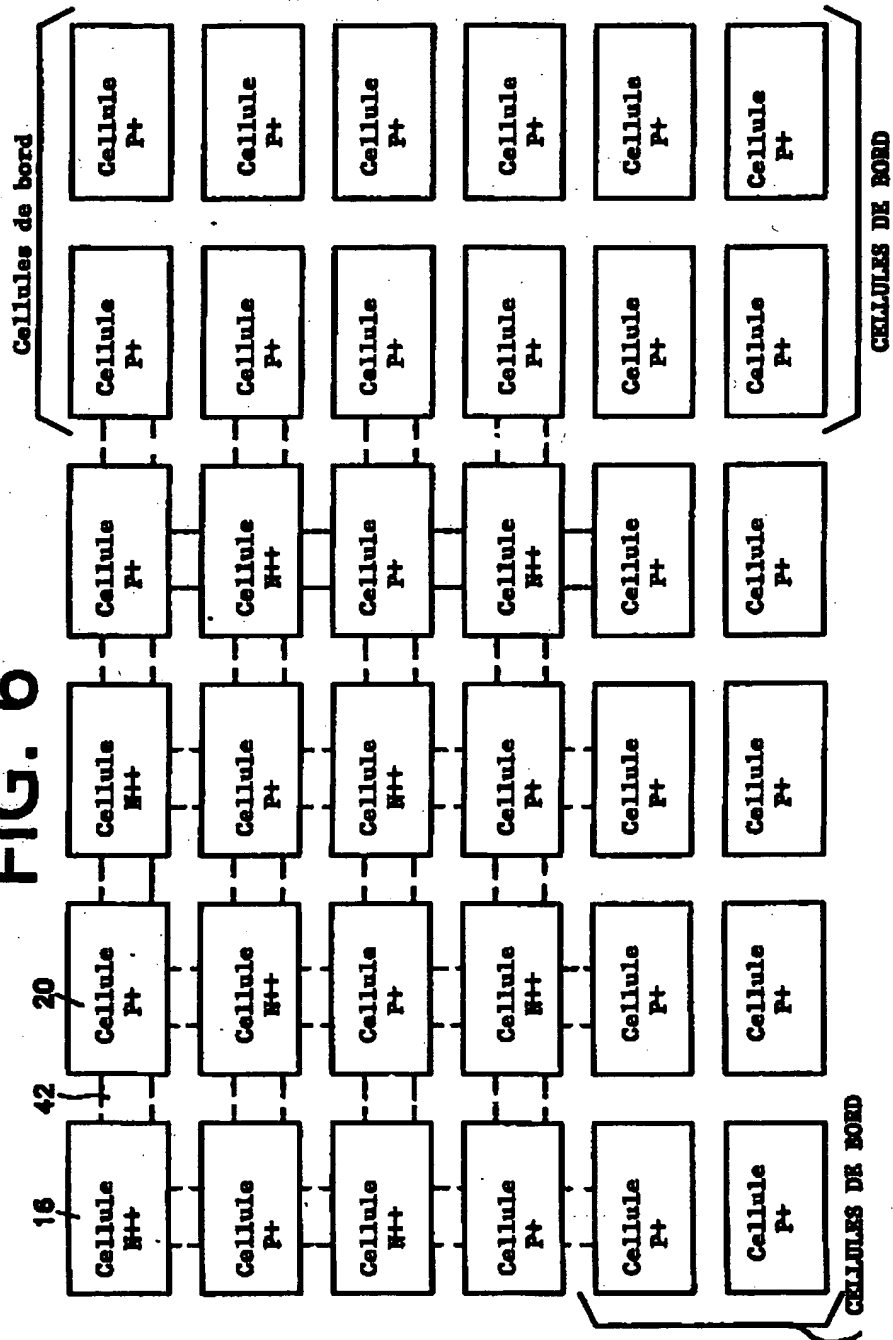


FIG. 4A





১৫



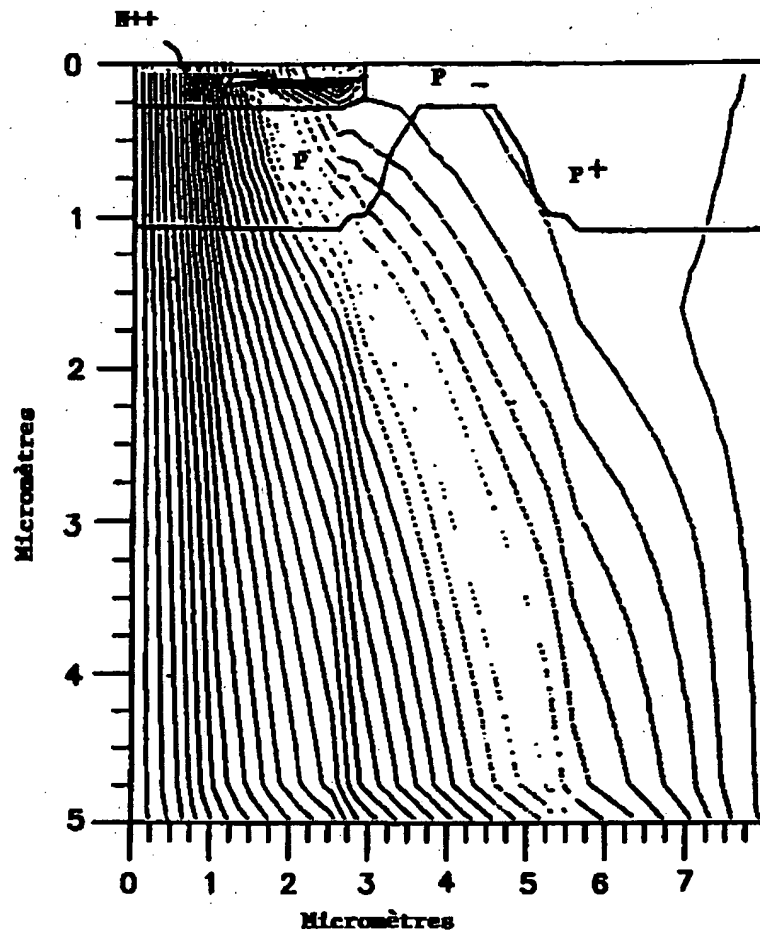


FIG. 7

9/18

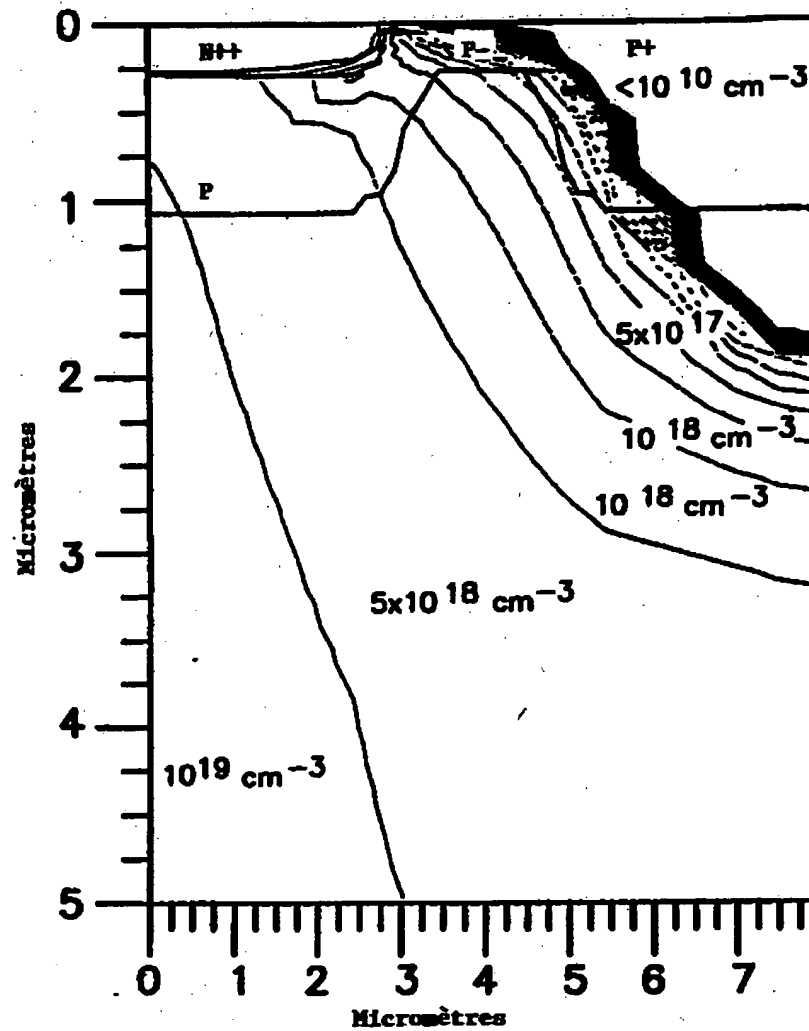


FIG. 8A

10/18

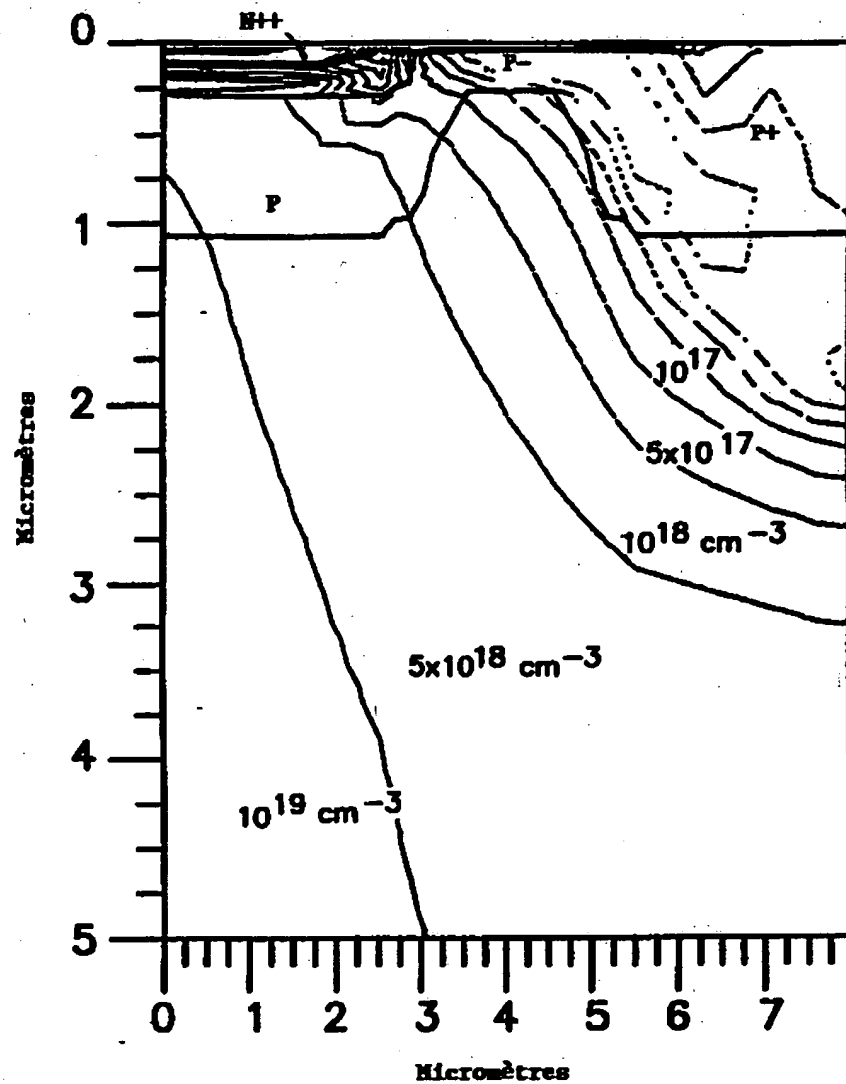


FIG. 8B

11/18

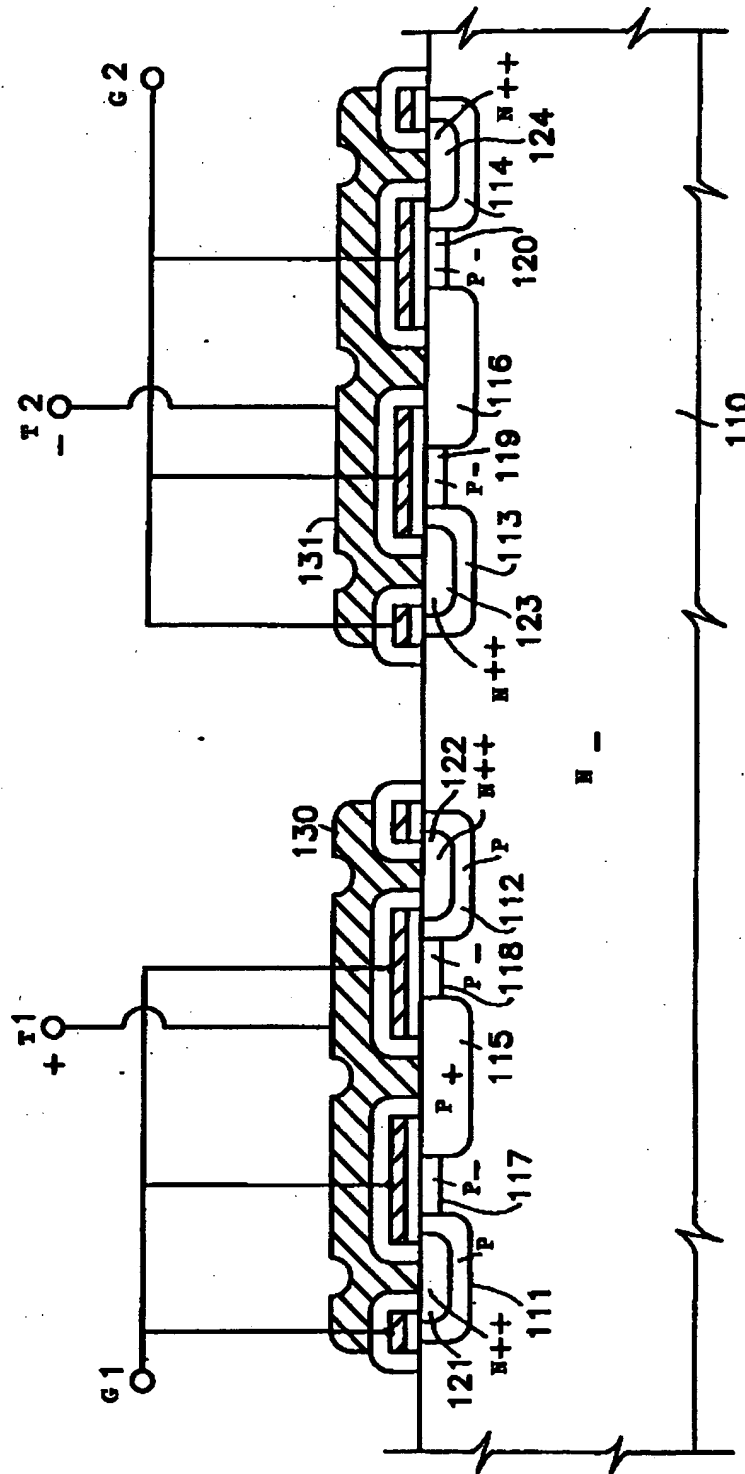


FIG. 9



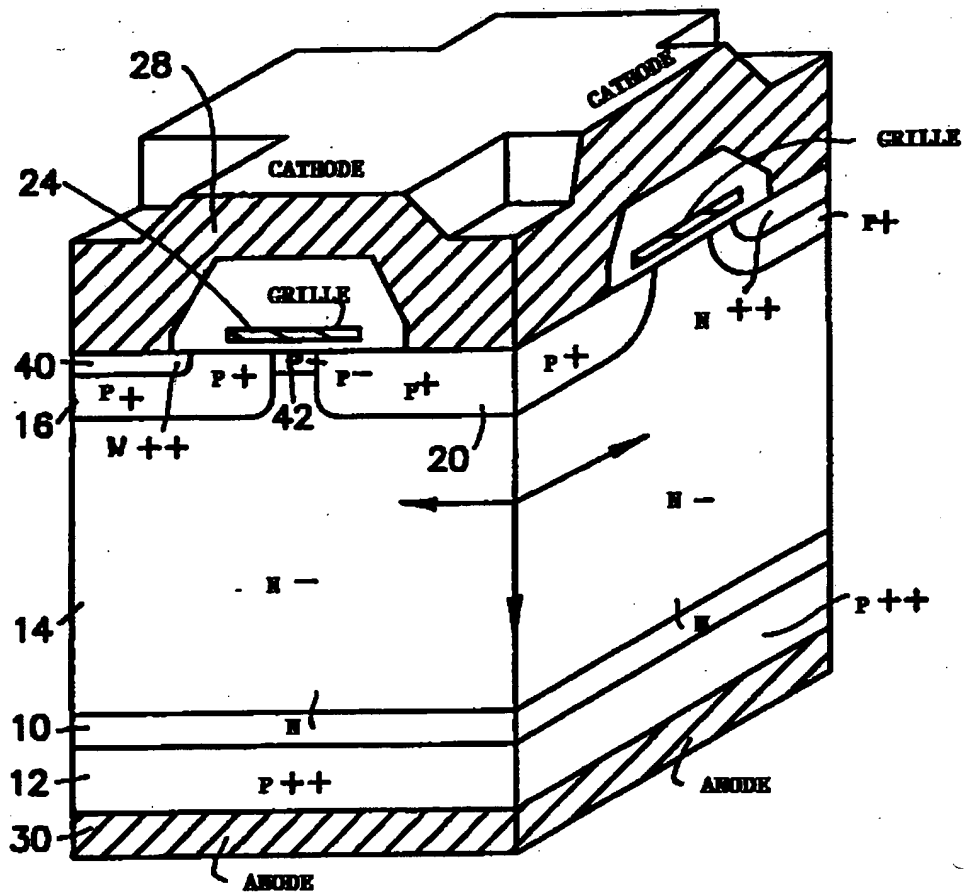
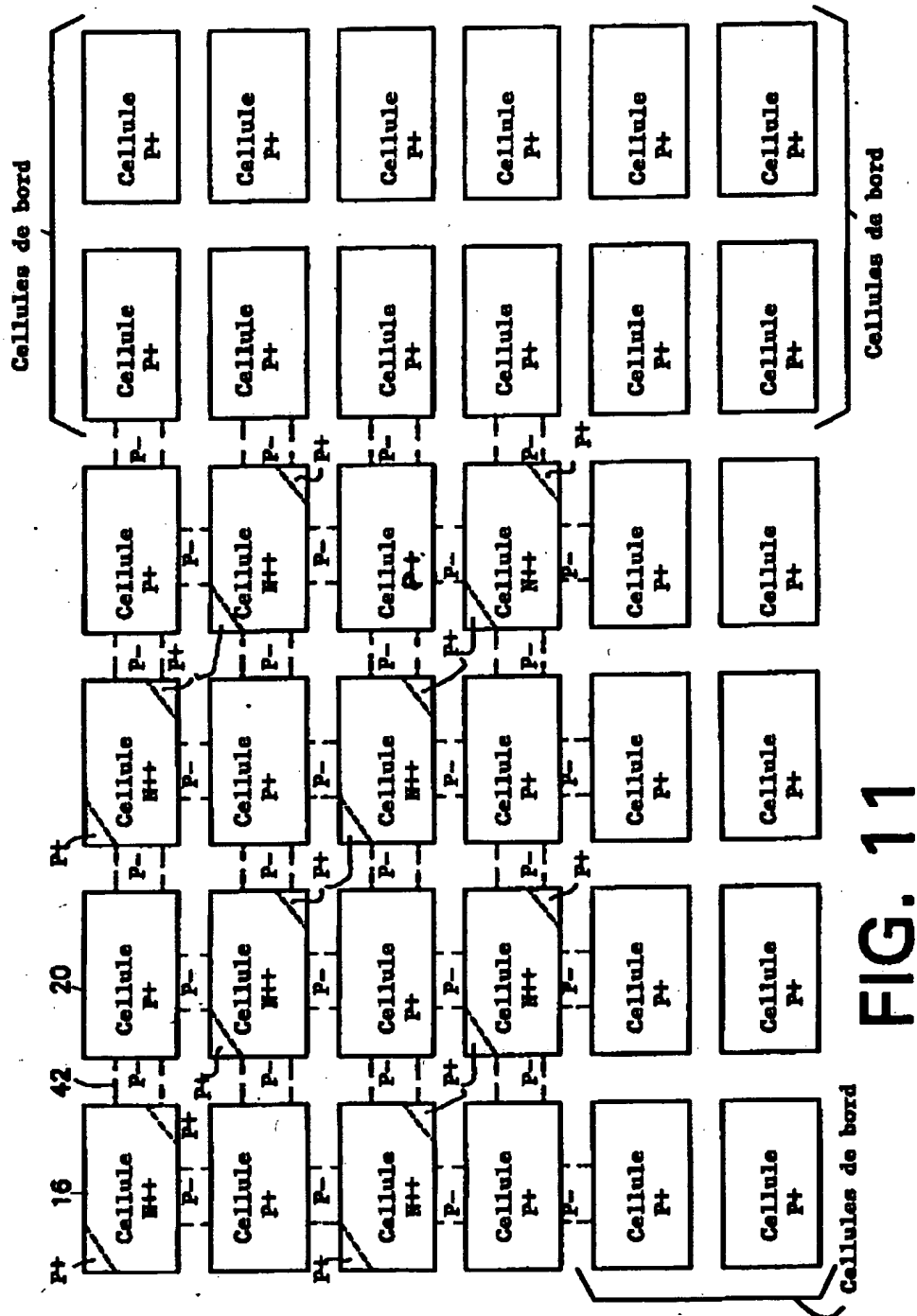


FIG. 10



**FIG. 11**

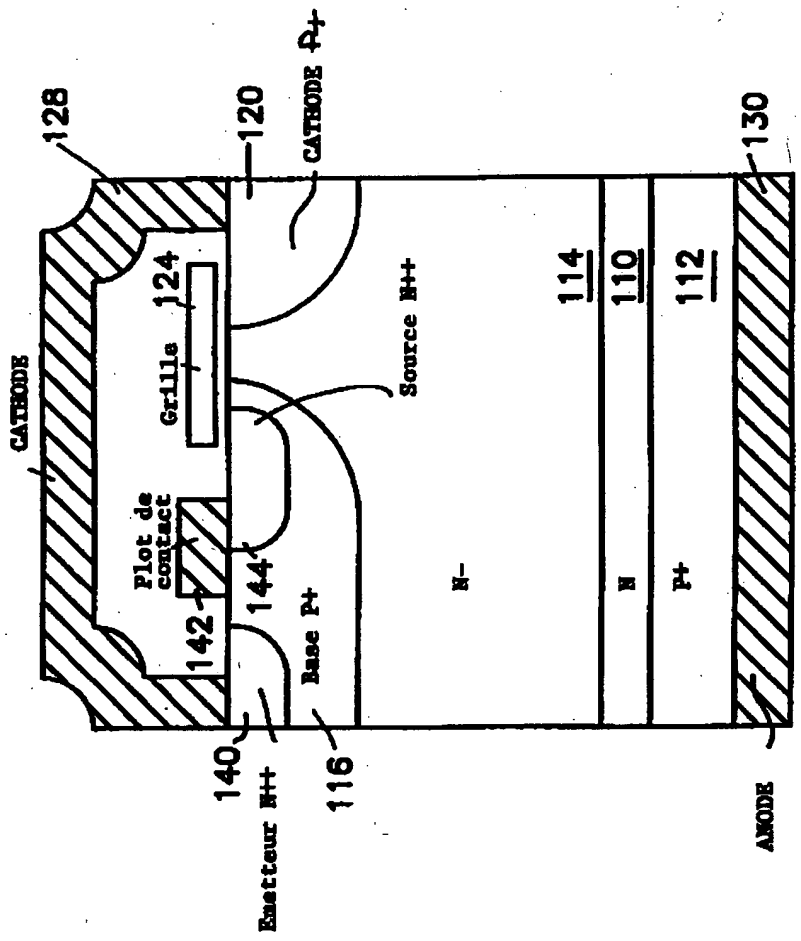


FIG. 12

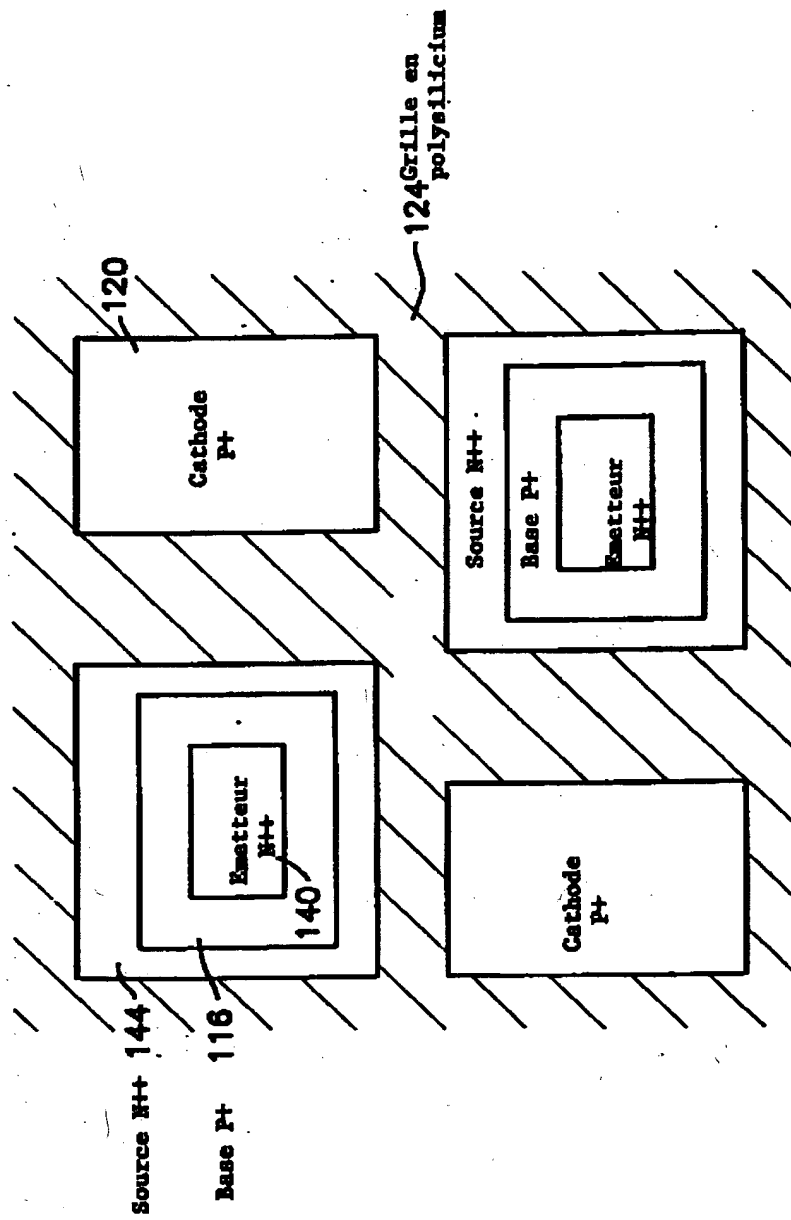


FIG. 13

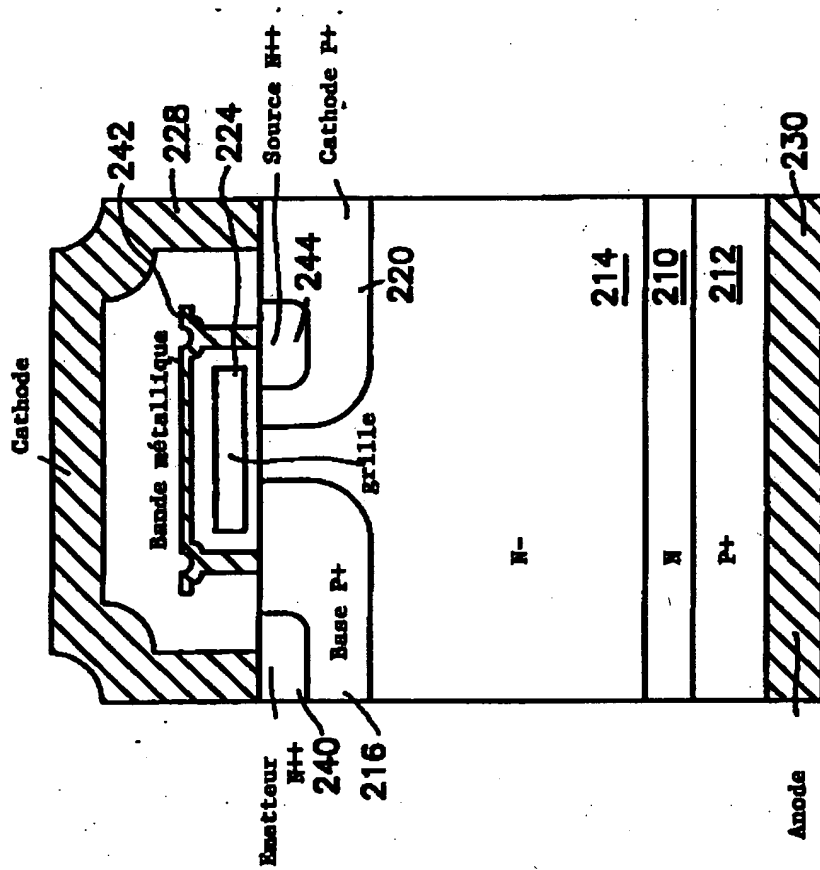


FIG. 14

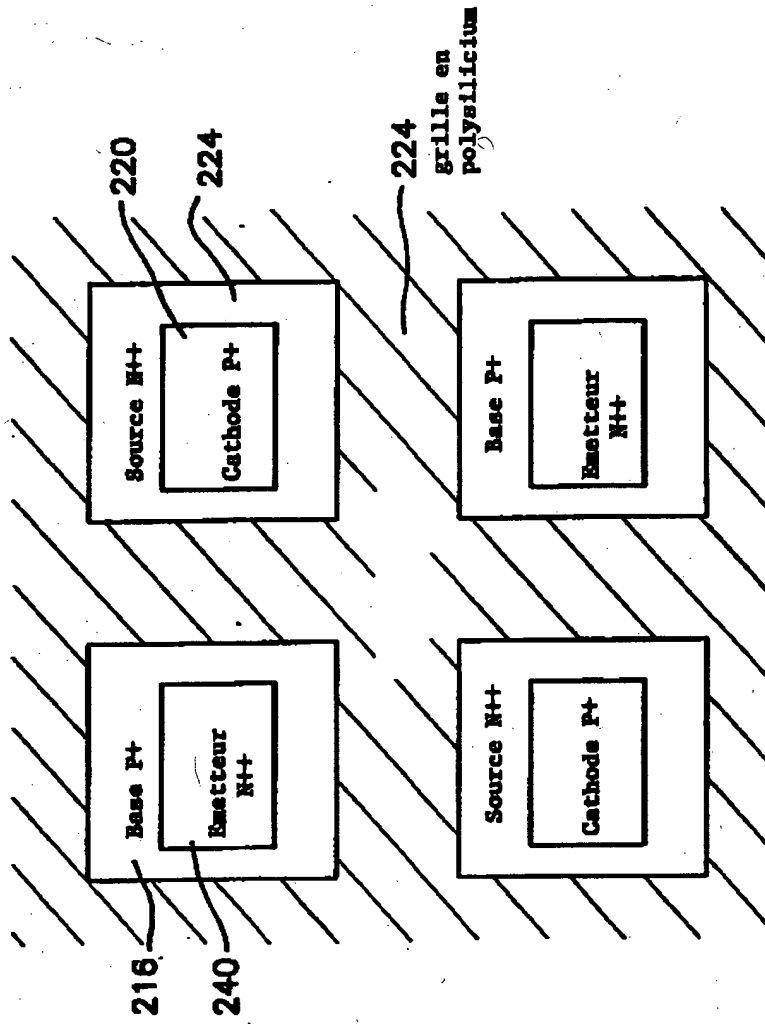


FIG. 15

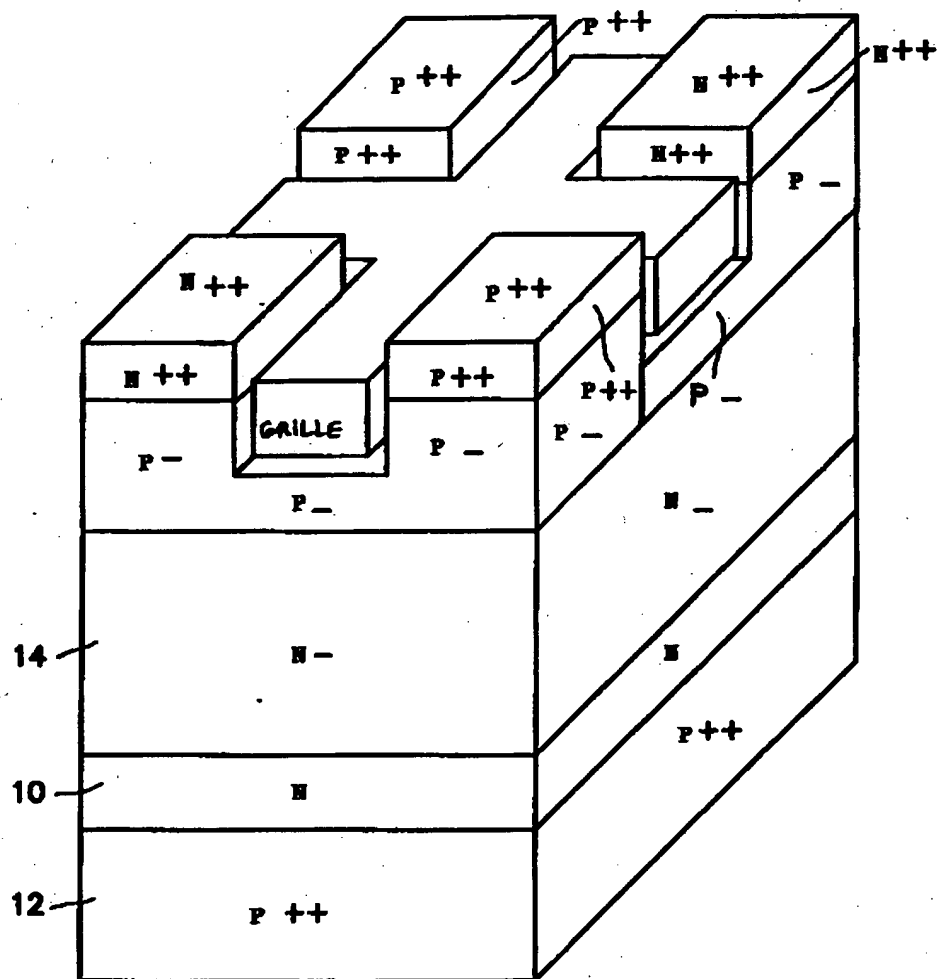


FIG. 16